

**PAT-NO: JP411274463A**

**DOCUMENT-IDENTIFIER: JP 11274463 A**

**TITLE: SOLID IMAGE PICKUP ELEMENT**

**PUBN-DATE: October 8, 1999**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>WATABE, TOMOYUKI</b>	<b>N/A</b>

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>FUJI XEROX CO LTD</b>	<b>N/A</b>

**APPL-NO: JP10075216**

**APPL-DATE: March 24, 1998**

**INT-CL (IPC): H01L027/146, H04N005/335**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To prevent threshold voltage variations of an amplifying transistor provided per pixel from becoming a substantially fixed pattern noise by preventing the output voltage of a pixel from containing the threshold voltage of the amplifying transistor within the pixel in a voltage output amplifying type solid image pickup device.

**SOLUTION:** Two reset transistors 7 and 8 are provided within a pixel 10. At

the time of reset, the transistors 7 and 8 and a shutter transistor 2 are turned on, thereby causing a constant current  $I_{ref}$  from a constant current source 6 to flow to an amplifying transistor 3 and the transistor 8 and applying a voltage, which is the sum of a predetermined constant voltage  $V_{ref}$

and a threshold voltage  $V_{th}$  of the transistor 3, as a reset voltage to a light-receiving section 1. After the light reception, the transistor 2 is turned on, thereby causing a gate capacitor of the transistor 3 to hold the voltage ( $V_{ref} + V_{th} +$

**COPYRIGHT: (C)1999,JPO**



## 【特許請求の範囲】

【請求項1】複数の画素を備え、それぞれの画素ごとに、受光部の出力電圧が増幅トランジスタのゲート・ソース間を介して画素外部に読み出される固体撮像素子において、  
それぞれの画素内に、所定の定電圧と、その画素内の上記増幅トランジスタのゲート・ソース間の閾値電圧との和を、リセット電圧として、その画素内の上記受光部に印加するリセット回路を設けたことを特徴とする固体撮像素子。

【請求項2】請求項1の固体撮像素子において、それぞれの画素内において、上記受光部と上記増幅トランジスタのゲートとの間に転送ゲートまたはシャットトランジスタが接続され、上記受光部のリセット時、その転送ゲートまたはシャットトランジスタがオンにされることを特徴とする固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、CMOS型の固体撮像素子などの、増幅型の固体撮像素子に関する。

## 【0002】

【従来の技術】撮像装置やイメージセンサなどに用いられる固体撮像素子としては、CCDを用いたものなど、各種のものが考えられているが、最近、CMOS型の固体撮像素子などの、増幅型の固体撮像素子が研究されている。

【0003】例えば、文献1「日経マイクロデバイス、1997年7月号、第120～125頁、復活に賭けるMOS型固体撮像素子」には、第124頁の図8(c)に「アクティブ方式(フォト・ゲート型)」として、図5に示すようなCMOS型の固体撮像素子の画素構造が示されている。

【0004】ただし、図5では、文献1のフォト・ゲートを、光起電力を発生する機能として統一的に受光部として、ホトダイオードの記号で示し、文献1の転送ゲートを、実用上の呼称であるシャットトランジスタとして、MOSTランジスタの記号で示し、文献1の選択回路のうちの上側のトランジスタは、増幅素子として機能するので、増幅トランジスタとして示し、選択回路のうちの下側のトランジスタは、スイッチング素子として機能するので、スイッチングトランジスタとして示し、文献1のリセット・ゲートは、リセットトランジスタとして示し、それぞれに符号を付した。

【0005】受光部1の一端は、所定電位 $V_{po}$ の点に接続する。所定電位 $V_{po}$ としては、接地電位を用いることが多い。受光部1の、出力電圧 $V_{pd}$ が得られる他端は、シャットトランジスタ2を介して、増幅トランジスタ3のゲートに接続する。

【0006】受光部1では、受光量に応じた出力電圧 $V_{pd}$ を発生し、シャットトランジスタ2がオンにされた

とき、そのわずかなオン電圧を無視すれば、増幅トランジスタ3のゲート電圧は、受光部1の出力電圧 $V_{pd}$ と等しくなる。

【0007】そして、増幅トランジスタ3はソースホロワとして働くので、増幅トランジスタ3のソース電圧は、ゲート電圧から増幅トランジスタ3のゲート・ソース間の閾値電圧 $V_{th}$ を差し引いた電圧、 $V_{pd} - V_{th}$ となり、このソース電圧が、スイッチングトランジスタ4を介して、画素10の出力端子に読み出される。

10 【0008】したがって、スイッチングトランジスタ4のわずかなオン電圧も無視すれば、画素10の出力電圧 $V_{out}$ は、

$$V_{out} = V_{pd} - V_{th} \quad \dots (1)$$

となる。

【0009】シャットトランジスタ2およびスイッチングトランジスタ4をオンさせることによる、出力電圧 $V_{out}$ の読み出しは、一般にXYマトリックス状のスキヤナ回路によって行う。

20 【0010】リセットトランジスタ5は、受光部1に蓄積された信号電荷を定期的に排出して、受光部1の出力電圧 $V_{pd}$ を所定電位にリセットするためのもので、この例では、所定電位として電源電圧 $V_{DD}$ が用いられる。リセット時には、シャットトランジスタ2およびリセットトランジスタ5をオンにし、これによって、受光部1の出力電圧 $V_{pd}$ および増幅トランジスタ3のゲート電圧を所定電位、この例では電源電圧 $V_{DD}$ にリセットする。

30 【0011】この固体撮像素子の特長は、第1に、増幅トランジスタ3で増幅した信号を読み出すので、高感度であることである。第2に、CMOS回路を用いるので、低消費電力であることである。標準的なCMOS型の固体撮像素子は、CCD固体撮像素子に比べて、消費電力が約1/10である。第3に、標準的なCMOSプロセスを使用し、CCD固体撮像素子のように専用プロセスを必要としないので、低コストであることである。

40 【0012】第4に、ランダムアクセスが可能なことである。この固体撮像素子では、受光部1の電荷を取り出さないので、画素10から出力電圧 $V_{out}$ を読み出しても、受光部1の出力電圧 $V_{pd}$ は変化しない。したがって、一度形成した画像を損なわずに、画像を何度でも読み出すことができる。そのため、任意のアドレスをランダムにアクセスして読み出すことができる。

50 【0013】第5に、この従来例のようにシャットトランジスタ(転送ゲート)2を設ける場合には、シャット時間を変化させることができることである。すなわち、シャットトランジスタ2を所望のタイミングで短時間、オンさせることによって、受光部1の光起電力を、増幅トランジスタ3のゲート容量に蓄積し、保持しておくことができ、上記のオン時間のタイミングを制御すれば、シャット時間を変えることができる。

【0014】しかしながら、この従来の固体撮像素子は、画素10の出力電圧 $V_{out}$ が、式(1)で表されるように $V_{pd}-V_{th}$ となり、画素10の出力電圧 $V_{out}$ に、増幅トランジスタ3の閾値電圧 $V_{th}$ が、そのまま現れるので、画素10の出力電圧 $V_{out}$ を、そのまま出力信号として取り出す場合には、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきが、そのまま固定パターンノイズ(FPN)となる欠点がある。

【0015】しかも、MOSTランジスタの閾値電圧 $V_{th}$ は、素子ごとのばらつきが大きく、一般的なCMOSプロセスでは、素子ごとのばらつきが10mVpp以上となることも多い。すなわち、従来のCMOS型の固体撮像素子では、固定パターンノイズが10mVpp以上となることも多い。高画質を得るには、固定パターンノイズは1~2mVpp程度以下が望ましいので、従来のCMOS型の固体撮像素子で、画素10の出力電圧 $V_{out}$ を、そのまま出力信号として取り出すと、非常に低画質となる問題がある。

【0016】そこで、このような画素ごとの増幅トランジスタの閾値電圧のばらつきを、画素外部の読み出し回路によってキャンセルして、固定パターンノイズを低減することが考えられている。

【0017】具体的に、文献2「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, NO. 2, FEBRUARY 1997, pp187~197『CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems』」には、第190頁の図3(a)に「CMOS APS unit cell and crowbar circuit」として、図6に示すような画素構造および読み出し回路が示されている。

【0018】画素10は、基本的に、図5に示した文献1のそれと同じである。ただし、図6では、文献2のホットゲートPGを受光部1とし、転送ゲートTXをシャッタトランジスタ2とし、画素内ソースホロワMINを増幅トランジスタ3とし、列選択トランジスタMXをスイッチングトランジスタ4とし、リセットトランジスタMRをリセットトランジスタ5とする。したがって、画素10の出力電圧には、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきが、そのまま現れる。

【0019】文献2の固体撮像素子は、リセット時と受光後の2回、画素10から出力電圧を読み出し、両者の差を正味の出力電圧として取り出すことによって、画素10の出力電圧に含まれる、増幅トランジスタ3の閾値電圧 $V_{th}$ をキャンセルするものである。

【0020】そのため、文献2の固体撮像素子では、画素10の外部に、画素10内の増幅トランジスタ3に対する負荷を構成するトランジスタMLNが設けられると

ともに、信号用のスイッチMSHSおよび容量CSを有する読み出し回路21Sと、参照用のスイッチMSHRおよび容量CRを有する読み出し回路21Rとが設けられる。

【0021】リセット時には、リセットトランジスタ5がオンにされることによって、増幅トランジスタ3のゲート電圧FDが、電源電圧VDDにリセットされる。このリセット時、画素10から出力電圧が読み出され、その読み出された出力電圧が、スイッチMSHRを介して容量CRに蓄えられて、参照電圧VOU<sub>TR</sub>として、読み出し回路21Rから読み出される。

【0022】さらに、受光部1の受光後に画素10から得られた出力電圧が、スイッチMSHSを介して容量CSに蓄えられて、信号電圧VOU<sub>TS</sub>として、読み出し回路21Sから読み出される。その後、信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>との差が求められ、その差が正味の出力電圧として取り出される。

【0023】したがって、リセット時の参照電圧VOU<sub>TR</sub>から受光後の信号電圧VOU<sub>TS</sub>への変化分だけが、正味の出力電圧として取り出されることになり、信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>には、ともに増幅トランジスタ3の閾値電圧 $V_{th}$ が含まれるので、正味の出力電圧としては、閾値電圧 $V_{th}$ を含まないものが得られる。

【0024】ただし、2つの読み出し回路21Sおよび21Rがあるため、その間のオフセット電圧が問題になる。すなわち、この固体撮像素子では、容量CSに蓄えられた電圧と容量CRに蓄えられた電圧とが等しいとき、信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>とが等しくなる必要があるが、読み出し回路21Sおよび21Rのトランジスタ定数のばらつきによって、容量CSに蓄えられた電圧と容量CRに蓄えられた電圧とが等しくても、信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>とは、わずかに異なる。これが、オフセット電圧である。

【0025】そのため、文献2の固体撮像素子では、さらに別のタイミングで、このオフセット電圧を検出し、記憶しておいて、そのオフセット電圧を、信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>との差から差し引くことによって、最終的な出力を得るようにする。

【0026】すなわち、容量CSと容量CRとの間に、トランジスタMS1、MCB、MS2からなる回路22を接続し、あるタイミングで、トランジスタMS1、MCB、MS2をオンにして、容量CSと容量CRとの間を短絡し、容量CSと容量CRとを同電位にして、このときの信号電圧VOU<sub>TS</sub>と参照電圧VOU<sub>TR</sub>との差を、オフセット電圧として記憶しておく。そして、このオフセット電圧を、後で上記の受光後の信号電圧VOU<sub>TS</sub>とリセット時の参照電圧VOU<sub>TR</sub>との差から差し引く。

【0027】以上によって、文献2の固体撮像素子で

は、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきがキャンセルされ、2つの読み出し回路21S、21R間のオフセット電圧も打ち消されて、固定パターンノイズが1mVpp程度に低減される。

【0028】さらに、文献3「映像情報メディア学会技術報告、第21巻、第61号、第13～18頁、IPU97-49(1997年10月23日)『電流モードアクティブピクセルセンサ用オンチップ信号処理』」には、増幅型の固体撮像素子で、画素外部の読み出し回路として文献2とは別の方式を取ることで、画素ごとの増幅トランジスタの定数のばらつきをキャンセルして、固定パターンノイズを抑圧することが示されている。

【0029】文献3は、電流出力の増幅型イメージセンサであるCMD(Charge Modulation Device:電荷変調素子)を対象として、電流出力の画素に対する画素外部の電流読み出し回路を工夫したもので、画素の出力が電流であること以外は、基本的に文献2と同様の思想による。

【0030】すなわち、文献3では、まず、リセット時の画素の出力電流を参照電流として検出し、次に、受光後の画素の出力電流を信号電流として検出し、その後、両者の差の電流を正味の出力電流として取り出すことによって、画素ごとの増幅トランジスタの定数のばらつきをキャンセルする。

【0031】これに加えて、文献3では、電流読み出し回路自体を、オフセット電流が非常に小さくなるように工夫している。具体的に、オフセット電流の小さい電流検出回路を実現するために、アナログMOS回路の要素回路であるカレントコピア回路(セル)を利用している。

【0032】カレントコピア回路(セル)自体は、文献4「ELECTRONICS LETTERS, VOL. 24, NO. 25, DECEMBER 1988, pp1560～1562『CURRENT COPIER CELLS』」に詳細に紹介されている。

【0033】図7に、文献3の第14頁の図1に簡潔に紹介されたカレントコピア回路(セル)を示す。カレントコピア回路は、よく知られているトランジスタ差動対を用いたカレントミラー回路を高精度化したものと考えてよい。トランジスタ差動対を用いたカレントミラー回路は、入力電流と等しい出力電流(吸い込み電流)を発生する。しかし、差動対を構成するトランジスタの定数の差によって、入力電流と出力電流はわずかに異なり、オフセットを生じる。

【0034】これに対して、文献3に示された図7のカレントコピア回路は、一つのMOSTランジスタMMを用い、Phase0とPhase1の2つのタイミングを用いることによって、トランジスタMMの閾値電圧 $V_{th}$ がキャンセルされるものである。

【0035】すなわち、図7のカレントコピア回路は、トランジスタMM、容量CおよびスイッチSX、SY、SZからなり、Phase0では、スイッチSX、SYがオンにされ、スイッチSZがオフにされて、トランジスタMMに入力電流I0が流れ、平衡状態に達すると、トランジスタMMのゲート電圧は、入力電流I0に応じた、トランジスタMMの閾値電圧 $V_{th}$ にほぼ等しい電圧Vとなり、この電圧Vが容量Cに保持される。

【0036】Phase1では、スイッチSX、SYがオフにされ、スイッチSZがオンにされて、トランジスタMMのドレインが負荷に接続される。このとき、容量Cの電圧、すなわちトランジスタMMのゲート電圧は、上記の電圧Vに保持されるので、トランジスタMMの吸い込み電流、すなわち出力電流I1は、入力電流I0と等しくなる。

【0037】このカレントコピア回路では、トランジスタ差動対を用いずに、一つのトランジスタMMを用いて、その閾値電圧 $V_{th}$ を記憶しておき、後で、その閾値電圧 $V_{th}$ を利用するので、出力電流I1が入力電流I0に確実に一致し、高精度のカレントミラー回路が形成される。

【0038】そして、文献3では、第15頁の図3に「FPN抑圧回路の構成」として示されるように、このようなカレントコピア回路を利用して画素外部の電流読み出し回路を構成することによって、画素ごとの増幅トランジスタの定数のばらつきをキャンセルして、固定パターンノイズを抑圧する。

【0039】

【発明が解決しようとする課題】上述したように、文献1に示され、図5に示した画素構造の固体撮像素子は、画素10の出力電圧 $V_{out}$ に、増幅トランジスタ3の閾値電圧 $V_{th}$ が、そのまま現れるので、画素10の出力電圧 $V_{out}$ を、そのまま出力信号として取り出す場合には、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきが、そのまま固定パターンノイズとなるとともに、MOSTランジスタの閾値電圧 $V_{th}$ の素子ごとのばらつきは10mVpp以上となることも多いため、固定パターンノイズが、高画質が得られる1～2mVpp程度以下に比べてかなり大きい、10mVpp以上にもなるような大きいものとなり、非常に低画質となる問題がある。

【0040】これに対して、文献2に示され、図6に示した画素構造および読み出し回路を有する固体撮像素子によれば、上述したように、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきがキャンセルされ、2つの読み出し回路21S、21R間のオフセット電圧も打ち消されて、固定パターンノイズが著しく低減される。

【0041】しかしながら、この固体撮像素子では、

(1)リセット時の画素出力電圧の読み出し、(2)そ

の読み出した画素出力電圧の容量CRへの蓄積と、参照電圧VOU<sub>TR</sub>としての読み出し、(3)受光後の画素出力電圧の読み出し、(4)その読み出した画素出力電圧の容量CSへの蓄積と、信号電圧VOU<sub>TS</sub>としての読み出し、(5)受光後の信号電圧VOU<sub>TS</sub>とリセット時の参照電圧VOU<sub>TR</sub>との差の演算、(6)オフセット電圧の検出記憶、(7)受光後の信号電圧VOU<sub>TS</sub>とリセット時の参照電圧VOU<sub>TR</sub>との差からオフセット電圧を差し引く演算、というシーケンスによって、最終的な出力信号を得なければならず、固定パターンノイズが低減された高精度の出力信号が得られるものの、読み出し回路が著しく複雑になるとともに、動作に時間がかかって固体撮像素子を高速で駆動することができない欠点がある。

【0042】また、文献3に示された増幅型イメージセンサも、画素の出力が電圧ではなく電流であり、かつ画素外部の読み出し回路はカレントコピヤ回路を利用した電流読み出し回路である点で、文献2とは異なるが、文献2と同様に、画素ごとの増幅トランジスタの定数のばらつきを、画素外部の読み出し回路によってキャンセルして、固定パターンノイズを低減するため、読み出し回路が著しく複雑になるとともに、動作に時間がかかって固体撮像素子を高速で駆動することができない欠点がある。

【0043】そこで、この発明は、特に、電圧出力の増幅型の固体撮像素子において、画素構造を工夫することによって、それぞれの画素の出力電圧として、その画素内の増幅トランジスタの閾値電圧を含まない電圧が得られるようにして、画素ごとの増幅トランジスタの閾値電圧のばらつきが、本質的に固定パターンノイズとならず、画素の出力電圧を、そのまま出力信号として取り出す場合でも、固定パターンノイズを著しく低減することができ、これによって、読み出し回路を著しく簡単に構成することができるとともに、固体撮像素子を高速で駆動することができるようにしたものである。

【0044】

【課題を解決するための手段】この発明では、複数の画素を備え、それぞれの画素ごとに、受光部の出力電圧が増幅トランジスタのゲート・ソース間を介して画素外部に読み出される固体撮像素子において、それぞれの画素内に、所定の定電圧と、その画素内の上記増幅トランジスタのゲート・ソース間の閾値電圧との和を、リセット電圧として、その画素内の上記受光部に印加するリセット回路を設ける。

【0045】

【作用】上記のように構成した、この発明の固体撮像素子においては、所定の定電圧をV<sub>ref</sub>、画素内の増幅トランジスタのゲート・ソース間の閾値電圧をV<sub>th</sub>とすると、受光部のリセット時、上記のリセット回路によって、V<sub>pd1</sub>=V<sub>reset</sub>=V<sub>ref</sub>+V<sub>th</sub>で表

されるリセット電圧が、受光部に印加され、受光部の容量に一旦保存される。

【0046】次に受光部が受光すると、受光後の受光部の電圧V<sub>pd2</sub>は、上記のリセット電圧V<sub>reset</sub>に、受光による電圧変化分ΔVが加わった電圧として、V<sub>pd2</sub>=V<sub>reset</sub>+ΔV=V<sub>ref</sub>+V<sub>th</sub>+ΔVとなる。

【0047】そして、読み出し時には、この受光後の受光部の電圧V<sub>pd2</sub>が、増幅トランジスタのゲート・ソース間を介して画素外部に読み出されるので、画素の出力電圧V<sub>out</sub>は、受光後の受光部の電圧V<sub>pd2</sub>から、増幅トランジスタのゲート・ソース間の閾値電圧V<sub>th</sub>が差し引かれた電圧として、V<sub>out</sub>=V<sub>pd2</sub>-V<sub>th</sub>=V<sub>ref</sub>+ΔVとなる。したがって、画素の出力電圧V<sub>out</sub>には、その画素内の増幅トランジスタの閾値電圧V<sub>th</sub>が全く現れない。

【0048】すなわち、この発明の固体撮像素子においては、リセット時、画素内の増幅トランジスタの閾値電圧を含むリセット電圧が、その画素内の受光部に印加されることによって、読み出し時、その閾値電圧が自動的にキャンセルされて、それぞれの画素の出力電圧として、その画素内の増幅トランジスタの閾値電圧を含まない電圧が得られる。

【0049】したがって、画素ごとの増幅トランジスタの閾値電圧のばらつきが、本質的に固定パターンノイズとならず、画素の出力電圧を、そのまま出力信号として取り出す場合でも、固定パターンノイズを著しく低減することができる。

【0050】また、このように画素の出力電圧を1回だけ読み出して、そのまま出力信号とすることができるので、読み出し回路を著しく簡単に構成することができるとともに、固体撮像素子を高速で駆動することができる。

【0051】しかも、受光部に上記のリセット電圧を印加するリセット回路も、少数の素子によって簡単かつ容易に実現することができる。

【0052】

【発明の実施の形態】図1は、この発明の固体撮像素子の一実施形態の画素構造を示し、受光部およびシャッタトランジスタの部分を、素子断面およびエネルギーバンド構造として模式的に示し、その他の部分を、回路記号によって示したものである。

【0053】この実施形態は、CMOS型の固体撮像素子とするとともに、それぞれの画素10は、受光部1、シャッタトランジスタ2、増幅トランジスタ3、スイッチングトランジスタ4、および2つのリセットトランジスタ7、8を有するものとした場合である。

【0054】受光部1は、図ではホトダイオードとしたが、ホトダイオードに限らず、ホトゲートなど、受光により電荷を蓄積し、光起電力を発生するものであればよ

い。受光部1の一端は、所定電位 $V_{po}$ の点に接続する。所定電位 $V_{po}$ としては、例えば接地電位を用いる。

【0055】シャッタトランジスタ2は、転送ゲートと同じもので、必須ではないが、これを設ける場合には、上述したようにシャッタ時間を可変にすることができる。受光部1の、出力電圧 $V_{pd}$ が得られる他端は、このシャッタトランジスタ2を介して、増幅トランジスタ3のゲートに接続し、シャッタトランジスタ2のゲートに、シャッタ制御信号 $\phi_{shutter}$ を供給する。

【0056】また、増幅トランジスタ3のソースに、スイッチングトランジスタ4のドレインを接続し、増幅トランジスタ3のドレインに、画素外部の定電流源6から、定電流の参照電流 $I_{ref}$ を供給し、スイッチングトランジスタ4のゲートに、読み出し制御信号 $\phi_{row}$ を供給する。

【0057】さらに、リセットトランジスタ7のドレインを、増幅トランジスタ3のドレインに接続し、リセットトランジスタ7のソースを、増幅トランジスタ3のゲートに接続し、リセットトランジスタ8のドレインを、増幅トランジスタ3のソースに接続し、リセットトランジスタ8のソースに、所定の定電圧である参照電圧 $V_{ref}$ を供給し、リセットトランジスタ7および8のゲートに、リセット制御信号 $\phi_{reset}$ を供給する。

【0058】そして、図では省略したが、画素外部において、スイッチングトランジスタ4のソースに負荷を接続して、スイッチングトランジスタ4のソースから、画素10の出力電圧 $V_{out}$ を取り出す。

【0059】上述した画素構造の固体撮像素子は、

(1) 受光部1のリセット、(2) 受光部1での受光(蓄積)、(3) 受光部1から増幅トランジスタ3への電圧転送、(4) 画素10からの出力電圧 $V_{out}$ の読み出し、というシーケンスによって駆動する。

【0060】まず、リセット時には、リセット制御信号 $\phi_{reset}$ およびシャッタ制御信号 $\phi_{shutter}$ を高レベルにして、リセットトランジスタ7、8およびシャッタトランジスタ2をオンにし、読み出し制御信号 $\phi_{row}$ を低レベルにして、スイッチングトランジスタ4はオフにする。

【0061】このとき、受光部1をホットダイオードの記号で示し、オフにされたスイッチングトランジスタ4を省略し、オンにされたシャッタトランジスタ2およびリセットトランジスタ7、8のドレイン・ソースを短絡して示すと、画素10は図2(A)の等価回路のようになる。

【0062】図2(A)から、より明らかなように、リセット時、定電流源6からの参照電流 $I_{ref}$ が、増幅トランジスタ3のドレイン・ソースに流れ、図2(A)では短絡して示したリセットトランジスタ8のドレイン・ソースに流れて、参照電圧 $V_{ref}$ が与えられるライ

ンを通じて画素外部に流出する。

【0063】したがって、増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ は、増幅トランジスタ3のドレイン・ソースに流れる電流が参照電流 $I_{ref}$ と等しくなるときの電圧値に定まり、受光部1の電圧 $V_{pd1}$ は、これを $V_{reset}$ とすると、

$$\begin{aligned} V_{pd1} &= V_{reset} \\ &= V_{ref} + V_{th} \quad \dots (2) \end{aligned}$$

に定まる。

10 【0064】すなわち、受光部1には、所定の定電圧である参照電圧 $V_{ref}$ と増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ との和の電圧 $V_{reset}$ が、リセット電圧として印加されることになる。

【0065】この場合、増幅トランジスタ3のドレイン電流が、定電流源6によって $I_{ref}$ に定められ、これによって、増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ が、ドレイン電流 $I_{ref}$ を生じるような電圧に定められるので、増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ としては、ドレイン電流 $I_{ref}$ に対応するような閾値電圧を生じる。

20 【0066】したがって、上記のリセット電圧 $V_{reset}$ は、所定の定電圧である参照電圧 $V_{ref}$ と増幅トランジスタ3のゲート・ソース間の閾値電圧 $V_{th}$ との和となり、増幅トランジスタ3の閾値電圧 $V_{th}$ が、リセット電圧 $V_{reset}$ 中に、すなわち受光部1の電圧 $V_{pd1}$ 中に保存されるようになる。

【0067】次に、受光(蓄積)時には、リセット制御信号 $\phi_{reset}$ 、シャッタ制御信号 $\phi_{shutter}$ および読み出し制御信号 $\phi_{row}$ を、すべて低レベルにして、リセットトランジスタ7、8、シャッタトランジスタ2およびスイッチングトランジスタ4を、すべてオフにする。

【0068】したがって、リセット後、所望の受光期間だけ経過した後の、受光部1の電圧 $V_{pd2}$ は、

$$\begin{aligned} V_{pd2} &= V_{reset} + \Delta V \\ &= V_{ref} + V_{th} + \Delta V \quad \dots (3) \end{aligned}$$

で表されるように、上記のリセット電圧 $V_{reset}$ に、受光による電圧変化分 $\Delta V$ が加わった電圧となる。したがって、増幅トランジスタ3の閾値電圧 $V_{th}$ は、受光後の受光部1の電圧 $V_{pd2}$ 中にも保存されるようになる。

【0069】次に、受光部1から増幅トランジスタ3への電圧転送時には、シャッタ制御信号 $\phi_{shutter}$ を高レベルにして、シャッタトランジスタ2をオンにし、リセット制御信号 $\phi_{reset}$ および読み出し制御信号 $\phi_{row}$ を低レベルにして、リセットトランジスタ7、8およびスイッチングトランジスタ4はオフにする。

【0070】すなわち、リセット後、所望の受光期間だけ経過した後の、所定の時間だけ、シャッタトランジ



タ2をオンにする。これによって、所望の時点での受光部1の電圧が、増幅トランジスタ3のゲートに印加される。すなわち、式(3)で定まる、受光後の受光部1の電圧 $V_{pd2}$ が、増幅トランジスタ3のゲート電圧となる。

【0071】その後、シャッタトランジスタ2もオフにする。このとき、増幅トランジスタ3のゲート電圧は、受光後の受光部1の電圧 $V_{pd2}$ のまま、増幅トランジスタ3のゲート容量に保持される。

【0072】次に、画素10からの出力電圧 $V_{out}$ の読み出し時には、読み出し制御信号 $\phi_{row}$ を高レベルにして、スイッチングトランジスタ4をオンにし、リセット制御信号 $\phi_{reset}$ およびシャッタ制御信号 $\phi_{shutter}$ を低レベルにして、リセットトランジスタ7、8およびシャッタトランジスタ2はオフにする。

【0073】このとき、受光部1をホトダイオードの記号で示し、オフにされたリセットトランジスタ7、8を省略し、オフにされたシャッタトランジスタ2をスイッチの記号で示し、オンにされたスイッチングトランジスタ4のドレイン・ソースを短絡して示すと、画素10は図2(B)の等価回路のようになる。容量 $C_g$ は、上述した増幅トランジスタ3のゲート容量である。

【0074】ただし、ゲート容量 $C_g$ は、増幅トランジスタ3のゲート・ソース間の容量のほかに、増幅トランジスタ3のゲートに接続された、それぞれの拡散層の容量を合わせた値になる。また、転送電荷を蓄積するために、さらに大きい容量が必要な場合には、容量素子を追加してもよい。ゲート容量 $C_g$ は、これらの容量の合計を一括して表現したものである。

【0075】図2(B)に示すように、読み出し時、受光後の受光部1の電圧 $V_{pd2}$ が、増幅トランジスタ3のゲート容量 $C_g$ に保持されており、定電流源6からの参照電流 $I_{ref}$ は、増幅トランジスタ3のドレイン・ソースに流れ、図2(B)では短絡して示したスイッチングトランジスタ4のドレイン・ソースに流れて、出力電圧 $V_{out}$ が取り出されるラインを通じて画素外部の負荷に流出する。

【0076】したがって、画素10の出力電圧 $V_{out}$ として、

$$V_{out} = V_{pd2} - V_{th} \quad \dots (4)$$

で表されるように、増幅トランジスタ3のゲート電圧 $V_{pd2}$ から、増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ が差し引かれた電圧が得られる。

【0077】この場合の増幅トランジスタ3のゲート・ソース間の電圧 $V_{th}$ も、増幅トランジスタ3のドレイン電流が $I_{ref}$ になるときの閾値電圧であり、式(3)中の $V_{th}$ と同じ値となる。

【0078】そして、増幅トランジスタ3のゲート電圧 $V_{pd2}$ は、式(3)で表されるので、式(4)の $V_{pd2}$ に式(3)を代入すると、画素10の出力電圧 $V_{out}$

は、

$$\begin{aligned} V_{out} &= V_{ref} + V_{th} + \Delta V - V_{th} \\ &= V_{ref} + \Delta V \quad \dots (5) \end{aligned}$$

となる。すなわち、増幅トランジスタ3の閾値電圧 $V_{th}$ は、キャンセルされて、画素10の出力電圧 $V_{out}$ には全く現れない。

【0079】このように閾値電圧 $V_{th}$ をキャンセルする、上記の実施形態の基本原理は、上述したカレントコピャ回路における、回路自体が閾値電圧 $V_{th}$ を記憶し、キャンセルする機能を、画素内に取り込んだものである。しかし、勿論、カレントコピャ回路自体の目的であるカレントミラー機能を利用したものではない。

【0080】上述した実施形態によれば、画素10の出力電圧 $V_{out}$ として、その画素10内の増幅トランジスタ3の閾値電圧 $V_{th}$ を含まない電圧が得られるので、画素10ごとの増幅トランジスタ3の閾値電圧 $V_{th}$ のばらつきが、本質的に固定パターンノイズとならず、画素10の出力電圧 $V_{out}$ を、そのまま出力信号として取り出す場合でも、固定パターンノイズを著しく低減することができる。

【0081】また、このように画素10の出力電圧 $V_{out}$ を1回だけ読み出して、そのまま出力信号とすることができるので、読み出し回路を著しく簡単に構成することができるとともに、固体撮像素子を高速で駆動することができる。

【0082】しかも、そのためのリセット回路も、それぞれの画素10内には2つのリセットトランジスタ7、8を設けるだけでよく、簡単かつ容易に実現することができる。

【0083】さらに、上述したCMOS型の固体撮像素子の特長である、高感度、低消費電力、低コスト、ランダムアクセス可能、シャッタ時間可変という利点を、そのまま維持することができる。

【0084】図3は、上述した実施形態の固体撮像素子の画素および画素周辺の接続関係を示し、図4は、その固体撮像素子の全体構成を示す。図4に示すように、上述した画素構造の画素10は、垂直方向に $m$ 行に渡り、水平方向に $n$ 列に渡るように、マトリックス状に複数、配列形成する。

【0085】図3または図4に示すように、各画素10の受光部1の一端は、所定電位 $V_{po}$ が与えられるライン11、例えば接地ラインに接続し、各画素10のシャッタトランジスタ2のゲートは、行ごとに共通に、シャッタ制御信号 $\phi_{shutter1} \sim \phi_{shutterm}$ が供給されるシャッタ制御ライン12に接続し、各画素10のリセットトランジスタ7および8のゲートは、行ごとに共通に、リセット制御信号 $\phi_{reset1} \sim \phi_{resetm}$ が供給されるリセット制御ライン13に接続し、各画素10のスイッチングトランジスタ4のゲートは、行ごとに共通に、読み出し制御信号 $\phi_{row1} \sim \phi$

13

rowmが供給される読み出し制御ライン15に接続し、垂直スキャナ回路17によって、制御ライン12、13、15を選択制御する。

【0086】また、各画素10のリセットトランジスタ8のソースは、列ごとに共通に、参照電圧Vrefが供給されるライン14に接続し、各画素10の増幅トランジスタ3およびリセットトランジスタ7のドレインは、列ごとに共通に、参照電流Irefが供給される定電流源6に接続し、各画素10のスイッチングトランジスタ4のソースは、列ごとに共通に、出力電圧Vout1～Voutnを取り出す出力ライン16に接続し、水平スキャナ回路18によって、出力ライン16を選択して、出力電圧Vout1～Voutnを取り出す。水平スキャナ回路18から取り出された出力電圧Vout1～Voutnは、増幅器19によって増幅されて、固体撮像素子の出力として取り出される。

【0087】この実施形態の固体撮像素子によれば、垂直スキャナ回路17によって制御ライン12、13、15を選択し、水平スキャナ回路18によって出力ライン16を選択することによって、所望のアドレスの画素の出力電圧を外部に取り出すことができる。

【0088】上述した実施形態は、CMOS型の固体撮像素子の場合であるが、この発明は、CMOS型に限らず、一般に電圧出力の増幅型の固体撮像素子に適用することができる。

【0089】また、この発明は、それぞれの画素内に特殊なリセット回路を設けることによって、それぞれの画素の出力電圧として、その画素内の増幅トランジスタの閾値電圧を含まない電圧が得られ、画素ごとの増幅トランジスタの閾値電圧のばらつきが、本質的に固定パターンノイズとならないようにすることが目的であるので、この発明のような画素構造にするとともに、必要に応じて画素外部に文献2に示されるような読み出し回路などを設けて、さらに高精度の出力信号を得るようにしてもよい。

【0090】

【発明の効果】上述したように、この発明によれば、それぞれの画素の出力電圧として、その画素内の増幅トランジスタの閾値電圧を含まない電圧が得られ、したがって、画素ごとの増幅トランジスタの閾値電圧のばらつき

14

が、本質的に固定パターンノイズとならず、画素の出力電圧を、そのまま出力信号として取り出す場合でも、固定パターンノイズを著しく低減することができる。

【0091】また、このように画素の出力電圧を1回だけ読み出して、そのまま出力信号とすることができるので、読み出し回路を著しく簡単に構成することができる。とともに、固体撮像素子を高速で駆動することができる。

【0092】しかも、そのために、それぞれの画素内に設けるリセット回路も、少数の素子によって簡単かつ容易に実現することができる。

【0093】さらに、電圧出力の増幅型の固体撮像素子の特長である、高感度、ランダムアクセス可能、シャッタ時間可変という利点を、そのまま維持することができる。とともに、CMOS型の固体撮像素子とする場合には、CMOS型の固体撮像素子の特長である、低消費電力、低コストという利点を、そのまま維持することができる。

【図面の簡単な説明】

【図1】この発明の固体撮像素子の一実施形態の画素構造を示す図である。

【図2】この発明の固体撮像素子の一実施形態のリセット時および読み出し時の画素の等価回路を示す図である。

【図3】この発明の固体撮像素子の一実施形態の画素および画素周辺の接続関係を示す図である。

【図4】この発明の固体撮像素子の一実施形態の全体構成を示す図である。

【図5】文献1に示された画素構造を示す図である。

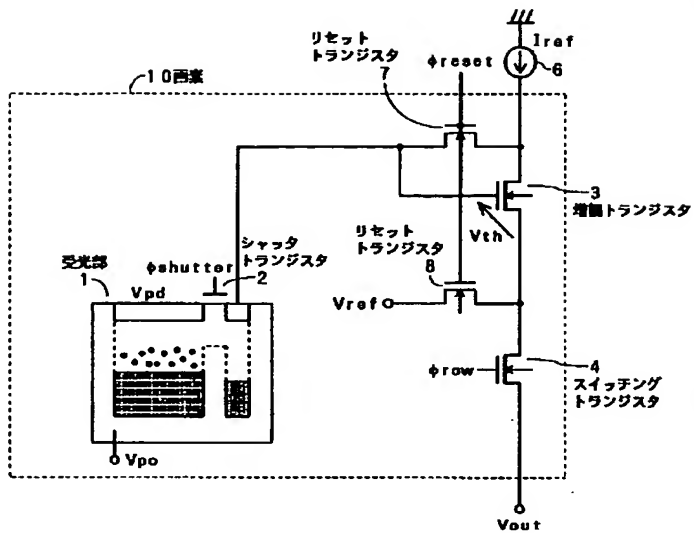
【図6】文献2に示された画素構造および読み出し回路を示す図である。

【図7】カレントコピア回路を簡略に示す図である。

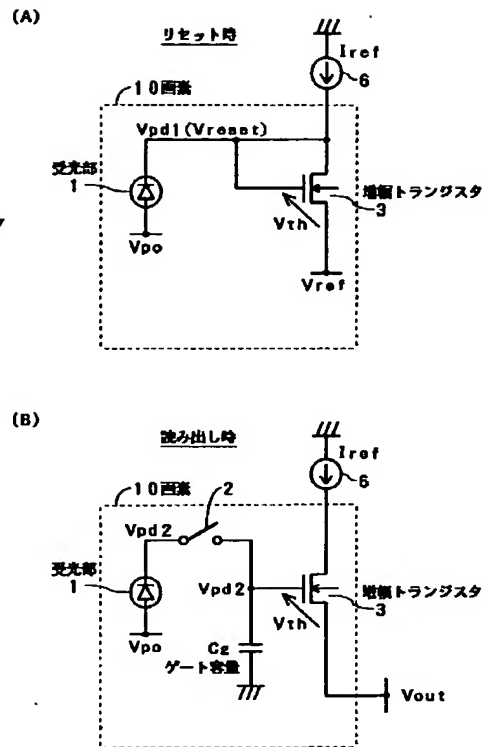
【符号の説明】

- 1 受光部
- 2 シャッタトランジスタ
- 3 増幅トランジスタ
- 4 スwitchングトランジスタ
- 6 定電流源
- 7, 8 リセットトランジスタ
- 10 画素

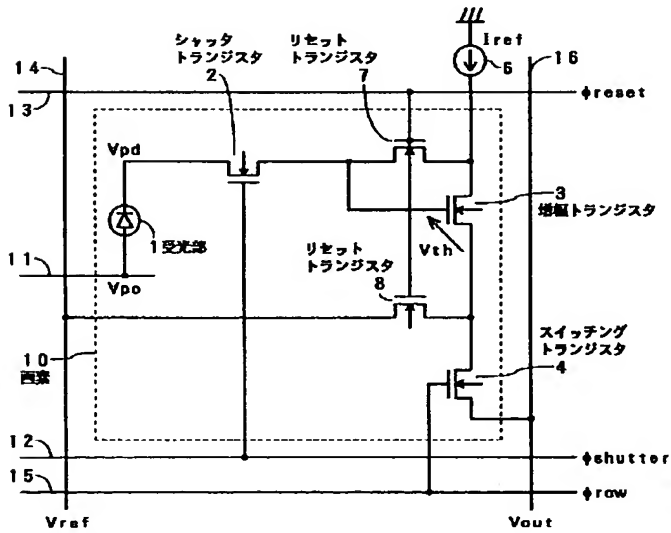
【図1】



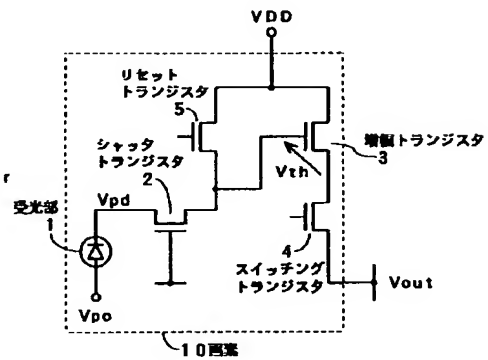
【図2】



【図3】



【図5】





【図7】

